

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 04-105357
 (43) Date of publication of application : 07.04.1992

(51) Int. Cl. H01L 27/06
 H01L 29/784

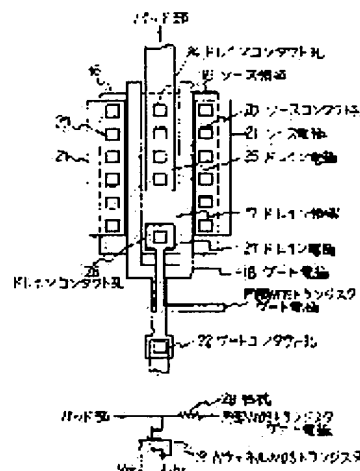
(21) Application number : 02-222922 (71) Applicant : NEC CORP
 (22) Date of filing : 24.08.1990 (72) Inventor : FUTAMI HARUJI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57) Abstract:

PURPOSE: To eliminate the need of a protective resistance composed of a polycrystalline silicon layer so as to reduce the layout area of a whole protective circuit by utilizing the resistance component of the drain area of a MOS transistor used as a protective element as the protective resistance.

CONSTITUTION: In this semiconductor integrated circuit provided with a protective element 19 connected between a pad section for connecting an external circuit and an internal circuit, a gate electrode 18 and source area 16 connected to the power supply wiring VSS to the highest or lowest potential of the internal circuit, the first drain electrode 25 which is provided at one end of the a drain area 17 and connected to the above-mentioned pad section, and the second drain electrode 27 which is proved at the other end of the area 17 and connected to the gate electrode of the MOS transistor of the internal circuit are provided. For example, an N-channel MOS transistor 19 is used as a protective diode and the resistance component 28 in the drain area 17 between the contact hole 24 of the first drain electrode 25 and the contact hole 26 of the second drain electrode 27 is used as a protective resistance for constituting a protective circuit.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
 decision of rejection]

[Kind of final disposal of application
 other than the examiner's decision of
 rejection or application converted
 registration]

[Date of final disposal for

application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-105357

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)4月7日

H 01 L 27/06
29/784

7735-4M H 01 L 27/06 3 1 1 C
8422-4M 29/78 3 0 1 K

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 半導体集積回路

⑯ 特 願 平2-222922

⑰ 出 願 平2(1990)8月24日

⑱ 発 明 者 二 見 治 司 東京都港区芝5丁目7番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体集積回路

特許請求の範囲

外部回路接続用のパッド部と内部回路との間に接続して設けた保護素子を有する半導体集積回路において、前記内部回路の最高電位又は最低電位の電源配線と接続するゲート電極及びソース領域と、ドレイン領域の一部に設けて前記パッド部と接続する第1のドレイン電極と、ドレイン領域の他部に設けて前記内部回路のMOSトランジスタのゲート電極に接続する第2のドレイン電極とを含むことを特徴とする半導体集積回路。

発明の詳細な説明

(産業上の利用分野)

本発明は半導体集積回路に関し、特に、入力回路のMOSトランジスタゲート破壊保護素子を有

する半導体集積回路に関する。

(従来技術)

従来、MOSトランジスタを有する半導体集積回路(以下ICと記す)の入力回路部分においては、入力部MOSトランジスタのゲート電極部が、外部から静電気等により発生した高電圧パルスにより破壊されることのないよう、種々の保護回路、保護素子が考案され、使用されている。

第5図及び第6図は従来半導体集積回路の第1の例を示すレイアウト図及び等価回路図である。

第5図及び第6図に示すように、一端をパッド部に接続した多結晶シリコン層からなる保護抵抗1の他端と電源V_{DD}及び電源V_{CC}間の夫々に接続した保護ダイオード3、4と、保護抵抗1の他端と内部MOSトランジスタのゲート電極間に接続した多結晶シリコン層からなる保護抵抗2とを有して保護回路が構成される。このような構成において、パッド部に正または負の静電気パルスが印加されると、抵抗、ダイオードの各端子の電圧が

上昇していくが保護ダイオード3あるいは保護ダイオード4が順方向バイアスになった時点でどちらかの保護ダイオードが導通状態となる。これにより、この部分の電圧はクランプされ、印加されたパルスのエネルギーは、保護抵抗1により消費されていく。保護抵抗2は、パルス電圧の立ち上がり早く、保護ダイオードが導通状態になるよりも早く、内部MOSトランジスタのゲート電極部の電圧が上昇し、ゲート破壊を起こすことがないように挿入されるものである。すなわち、この保護抵抗2と、内部MOSトランジスタのゲート電極の入力容量による遅延回路が構成され、ゲート電極の電圧上昇時間は遅くなり、ゲート破壊に達する前に保護ダイオードによる電圧クランプが完了することになる。

以上述べた保護回路においては、パルスエネルギーを消費するための保護抵抗1として、比較的大面積を有する多結晶シリコン抵抗層と、最高及び最低電位の電源に接続する2つの接合ダイオードが必要であり、入力保護回路のレイアウト面積

る V_{ss} 端子に接続される。

このような構成とすることで、パッド部に負の静電パルスが印加された時は、ドレイン領域6の電位が約 $-0.7V$ に達した時点でNチャネルMOSトランジスタの基板とドレイン領域間の接合ダイオードが導通状態となり、電圧がクランプされる。その時、接合ダイオードとパッド部との間に電流制限用の抵抗は入っていないので、第1の例の保護回路の接合ダイオードよりも若干大きい接合面積が必要とされている。パッド部に正の静電パルスが印加された時は、NチャネルMOSトランジスタのドレイン・ソース間耐圧 BV_{DS} に達すると、ドレイン領域6からソース領域5に向かってブレイクダウン電流が流れ、さらに通常最高電位配線と最低電位配線間に挿入されている電源同保護ダイオードを介して電源に流れ、パッド部分の電圧がクランプされる。この方法は、NチャネルMOSトランジスタの大きさを、第1の例の保護回路の二つの接合ダイオードの接合面積の合計と同程度のドレイン領域面積があれば十分で

が大きくなるという欠点がある。

第7図及び第8図は従来の半導体集積回路の第2の例を示すレイアウト図及び等価回路図である。

第7図及び第8図に示すように、P型シリコン基板上に設けたゲート電極7と、ゲート電極7に整合してP型シリコン基板上に設けたN型拡散領域からなる、ソース領域5およびドレイン領域6と、ソース領域5とコンタクト孔8を介して接続したソース電極9と、ドレイン領域6とコンタクト孔10を介して接続したドレイン電極11とを有するNチャネルMOSトランジスタ13のドレイン電極11と内部MOSトランジスタのゲート電極との間に接続して設けた多結晶シリコン層からなる保護抵抗14とを備えて構成される。

NチャネルMOSトランジスタ13のドレイン電極11と、保護抵抗14の接続端が、パッド部に接続され、NチャネルMOSトランジスタ13のソース電極8は、コンタクト孔12を介してゲート電極7と接続され、さらにグランド電位であ

り、全体のレイアウト面積としては前述の方法に比較すると、パッド側の保護抵抗が不要であるという利点を有している。

なお、保護抵抗14は、通常多結晶シリコン層にて形成されており、その機能は前述の保護回路の保護抵抗2と同様であるので、説明は省略する。

〔発明が解決しようとする課題〕

しかしながら、この従来の半導体集積回路は、内部MOSトランジスタ側に多結晶シリコン層からなる保護抵抗を接続する必要があるもので、専用設計して得られるカスタムICの場合には問題ないが、ゲートアレーに代表される配線形成を変更して、種々の回路を実現するセミカスタムICにおいては、全ての入出力ブロックに、保護抵抗となる多結晶シリコン層を配置しておくことが必要であり、入出力ブロックの面積が大きくなるという問題があった。

〔課題を解決するための手段〕

本発明の半導体集積回路装置は、外部回路接続

用のパッド部と内部回路との間に接続して設けた保護素子を有する半導体集積回路において、前記内部回路の最高電位又は最低電位の電源配線と接続するゲート電極及びソース領域と、ドレイン領域の一部に設けて前記パッド部と接続する第1のドレイン電極と、ドレイン領域の他部に設けて前記内部回路のMOSトランジスタのゲート電極に接続する第2のドレイン電極とを含んで構成される。

(実施例)

次に本発明について図面を参照して説明する。

第1図及び第2図は本発明の第1の実施例を示すレイアウト図及び等価回路図である。

第1図及び第2図に示すように、P型シリコン基板上に設けたゲート電極18と、ゲート電極18に整合してP型シリコン基板に設けたN型拡散領域からなるソース領域16およびドレイン領域17とから構成されるNチャネルMOSトランジスタ19が配置されている。ソース領域16とコンタクト孔20を介して接続したアルミニウム層

で形成したソース電極21と、ゲート電極18にはコンタクト孔22を介してアルミで形成されたゲート配線23を有し、ソース電極21およびゲート配線23は最低電位である V_{ss} 配線に接続されている。ドレイン領域17とコンタクト孔24を介して接続したアルミニウム層からなるドレイン電極25と、コンタクト孔26を介して接続したアルミニウム層からなるドレイン電極27とを有するが、コンタクト孔24は、ドレイン領域17の大部分を接続するように多数個配置し、アルミニウム層で接続されているのに対し、コンタクト孔26は、コンタクト孔24の端から100 μ m程度離れたドレイン領域17端に1個配置されている。ドレイン電極25はパッド部に接続され、ドレイン電極27は内部MOSトランジスタのゲート電極に接続される。

このような構成とすることにより、NチャネルMOSトランジスタ19が保護ダイオードとなり、コンタクト孔24とコンタクト孔26との間のドレイン領域17の抵抗成分28を、保護抵抗

とする、保護回路が構成できる。第3図及び第4図は本発明の第2の実施例を示すレイアウト図及び等価回路図である。

第3図及び第4図に示すように、ドレイン領域17の形状がコンタクト孔24とコンタクト孔26との間の領域幅が狭く形成しており、且つその部分はゲート電極18に接することなく形成されている以外は第1の実施例と同様の構成を有している。

本実施例は、レイアウトの都合上トランジスタ幅の小さいNチャネルMOSトランジスタの並列配置により必要なドレイン領域を確保する場合においてドレイン領域の抵抗部分の長さを大きくとれない際に有効である。また、保護抵抗となるドレイン領域にのみ、通常のドレイン領域よりも低濃度の不純物拡散を行なうことで、トランジスタ部の性能を落とすことなく、小さい面積で保護抵抗を形成できるという利点を有する。

(発明の効果)

以上説明したように、本発明は、従来保護抵抗

として多結晶シリコン層を用いていたのに対し、保護素子であるNチャネルMOSトランジスタのドレイン領域の抵抗成分を保護抵抗として利用したので、多結晶シリコン層による保護抵抗が不要になるので、保護回路全体のレイアウト面積が小さくできるという効果を有する。

また、ゲートアレー等セミカスタムICの入出力ブロックに、本発明を適用することにより、従来出力ブロックとして利用されている時には無駄となっていた多結晶シリコン層の保護抵抗を省略することができ、入出力ブロックとしてMOSトランジスタを配置しておくだけでよいので、ブロック内部の布線設計が容易になるという利点もある。

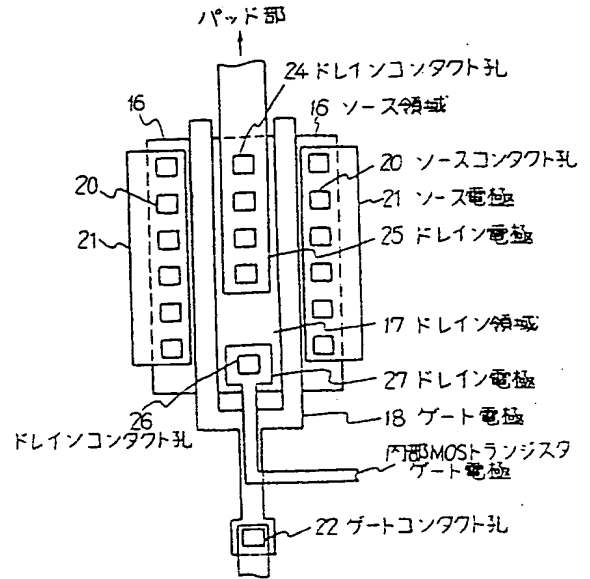
図面の簡単な説明

第1図及び第2図は本発明の第1の実施例を示すレイアウト図及び等価回路図、第3図及び第4図は本発明の第2の実施例を示すレイアウト図及び等価回路図、第5図及び第6図は従来の半導体

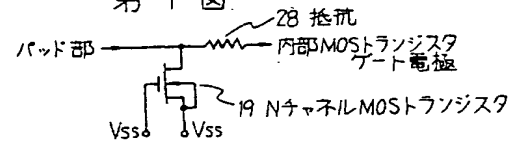
集積回路の第1の例を示すレイアウト図及び等価回路図、第7図及び第8図は従来の半導体集積回路の第2の例を示すレイアウト図及び等価回路図である。

1, 2...保護抵抗、3, 4...保護ダイオード、5, 16...ソース領域、6, 17...ドレイン領域、7, 18...ゲート電極、8, 20...コンタクト孔、9, 21...ソース電極、10...コンタクト孔、11...ドレイン電極、12, 22...コンタクト孔、13, 19...NチャネルMOSトランジスタ、14...保護抵抗、23...ゲート電極、24...コンタクト孔、25...ドレイン電極、26...コンタクト孔、27...ドレイン電極、28...抵抗。

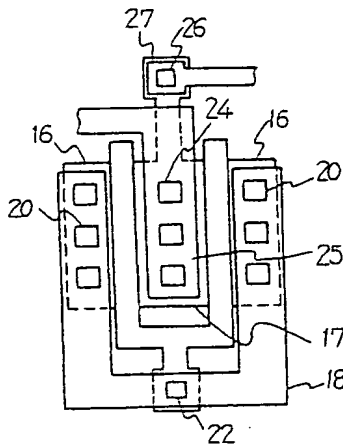
代理人 井理士 内 原 晋



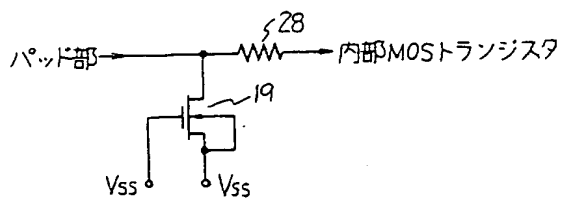
第1図



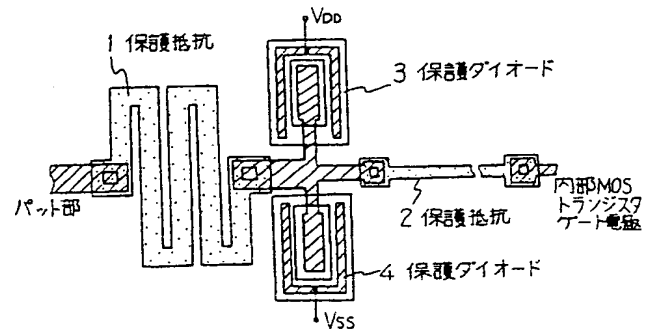
第2図



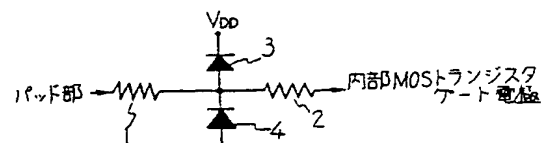
第3図



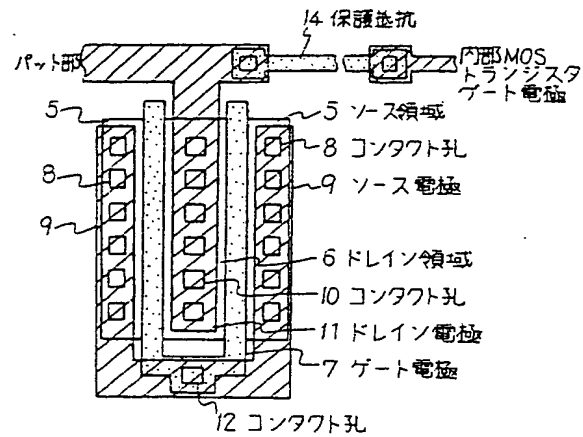
第4図



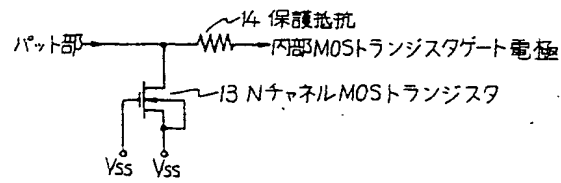
第5図



第6図



第 7 図



第 8 図